

УДК 004.383

А.А. Баркалов, К.Н. Ефименко

Университет Зеленогурский, Польша, A.Barkalov@iie.uz.zgora.pl

Донецкий национальный технический университет, Украина

Применение метода расщепления операторных линейных цепей для оптимизации схемы устройства управления

Предложен алгоритм, позволяющий уменьшить число входов схемы адресации композиционного микропрограммного устройства управления (КМУУ). Этот эффект достигается благодаря преобразованию граф-схемы алгоритма, при котором некоторые вершины входят в несколько операторных линейных цепей. Применение предложенного метода обеспечивает уменьшение числа LUT-элементов в схеме адресации КМУУ.

Введение

Одним из важных блоков цифровой системы является устройство управления, которое может быть реализовано как композиционное микропрограммное устройство управления (КМУУ) [1]. В настоящее время сложные цифровые системы могут быть разработаны на базе одной микросхемы типа «система на кристалле» (SoC, system-on-a-chip) [2]. В большинстве случаев, произвольная логика в этих микросхемах реализуется на FPGA (field-programmable gate array) – программируемых на стадии эксплуатации матриц вентилях. FPGA состоит из элементов табличного типа – LUT-элементов (look-up table) с числом входов, не превышающим 6 [3,4]. Кроме того, SoC включают встроенные блоки памяти DMВ (dedicated memory block), которые используются как постоянная или оперативная память цифровой системы. КМУУ дает возможность использовать DMВ для реализации системы микрооперации, при этом, схема адресации микрокоманд строится на FPGA. Это уменьшает число LUT-элементов по сравнению с базовыми схемами КМУУ. Ограниченное число входов LUT-элементов приводит к необходимости декомпозиции реализуемой системы булевых функций, задающих закон функционирования устройства управления, что приводит к уменьшению быстродействия КМУУ [5,6]. В этой связи возникает необходимость разработки новых и совершенствования известных методов синтеза КМУУ, ориентированных на этот базис. В настоящей работе предлагается метод уменьшения числа аргументов в системе функций адресации микрокоманд КМУУ.

1. Основные определения

Пусть алгоритм управления цифровой системы задан в виде граф-схемы алгоритма (ГСА) Γ [3], содержащей начальную b_0 , конечную b_E и операторные вершины, образующие множество $B = \{b_1, \dots, b_M\}$. В каждой операторной верши-

не $b_k \in V$ записывается набор одновременно выполняемых микроопераций (микрокоманда) $Y(b_k) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$. Кроме этого ГСА Γ содержит условные вершины, в которых записываются логические условия, образующие множество $X = \{x_1, \dots, x_L\}$. Вершины ГСА Γ связаны дугами, образующими множество E .

Введём ряд определений [1], необходимых для дальнейшего изложения материала.

Определение 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = (b_{g1}, \dots, b_{gF_g})$, такая что для любой пары соседних компонент кортежа α_g существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$, где i – номер компоненты кортежа α_g ($i = 1, \dots, F_g$).

Определение 2. Входом ОЛЦ α_g называется вершина $b_q \in V$, такая что существует дуга $\langle b_t, b_q \rangle \in E$, где b_t – вершина, не входящая в ОЛЦ α_g .

Определение 3. Выходом ОЛЦ α_g называется вершина $b_q \in V$, такая что существует дуга $\langle b_q, b_t \rangle \in E$, где b_t – вершина, не входящая в ОЛЦ α_g .

Обозначим через $D^g \subseteq V$ множество операторных вершин, входящих в ОЛЦ $\alpha_g \in C$, где $C = \{\alpha_1, \dots, \alpha_G\}$ – множество ОЛЦ ГСА Γ , удовлетворяющее условию

$$\begin{aligned} D^g \cap D^q &= \emptyset \quad (g \neq q, g, q \in \{1, \dots, G\}); \\ V &= D^1 \cup D^2 \cup \dots \cup D^G; \\ D^g &\neq \emptyset \quad (g = 1, \dots, G). \end{aligned} \quad (1)$$

Пусть для каждой ОЛЦ $\alpha_g \in C$ выполнена естественная адресация микрокоманд

$$A(b_{gi+1}) = A(b_{gi}) + 1 \quad (i = \overline{1, F_g}), \quad (2)$$

где $A(b_{gi})$, $A(b_{gi+1})$ – адреса микрокоманд, соответствующих вершинам b_{gi} и b_{gi+1} , входящим в ОЛЦ $\alpha_g \in C$.

Определение 4. Вход ОЛЦ называется главным входом, если отсутствует связь этого входа с выходами операторных вершин.

Определение 5. Операторные линейные цепи $\alpha_i, \alpha_j \in C$ называются псевдоэквивалентными ОЛЦ, если их выходы связаны с входом одной и той же вершины ГСА Γ , и образуют множество классов псевдоэквивалентных ОЛЦ $\Pi_C = \{V_1, \dots, V_I\}$

В этом случае ГСА Γ может быть интерпретирована КМУУ с преобразователем адреса микрокоманд (рис. 1), что предлагается в работе [7], называемым в дальнейшем КМУУ U_1 .

Комбинационная схема СС и преобразователь адреса СА образуют автомат адресации микрокоманд S_1 . При этом, преобразователь адреса СА формирует функции

$$\tau = \tau(T), \quad (3)$$

реализуя преобразование адресов выходов ОЛЦ $\alpha_g \in C$ в коды $K(V_i)$ классов псевдоэквивалентных ОЛЦ $V_i \in \Pi_C$ разрядности

$$R_1 = \lceil \log_2 I \rceil. \quad (4)$$

где $I = |\Pi_C|$.

Схема СС формирует функции

$$\Phi = \Phi(\tau, X), \quad (5)$$

задающие адрес входа очередной ОЛЦ $\alpha_g \in C$ в счетчике СТ. Разрядность адреса

определяется формулой

$$R = \lceil \log_2 M \rceil, \quad (6)$$

где $M=|B|$, и является минимально возможной для любого из известных микропрограммных устройств управления. Счетчик СТ и управляющая память СМ образуют микропрограммное устройство управления S_2 с естественной адресацией микрокоманд [1], что соответствует условию (2). В микрокоманду $Y(b_k)$ добавляется два дополнительных разряда. Один из них используется для хранения сигнала y_0 , по которому осуществляется режим адресации (2), второй – для хранения сигнала y_E , по которому происходит завершение функционирования устройства.

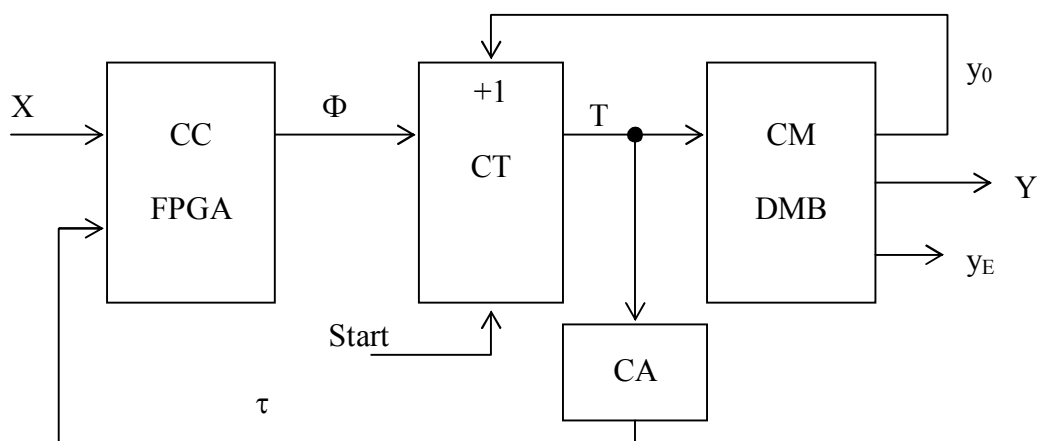


Рисунок 1 – Структурная схема КМУУ U_1

КМУУ U_1 работает следующим образом. По сигналу Start содержимое СТ обнуляется, что соответствует исходному состоянию КМУУ, и происходит считывание микрокоманды из СМ. При переходах внутри ОЛЦ $\alpha_g \in C$ сигнал $y_0=1$ и состояние автомата S_1 не меняется. Если выход текущей ОЛЦ достигнут, то $y_0=0$ и автомат S_1 формирует функции преобразования адреса выхода ОЛЦ $\alpha_g \in C$ в код $K(B_i)$ класса псевдоэквивалентных ОЛЦ $B_i \in \Pi_C$ (3) и адрес входа очередной ОЛЦ $\alpha_g \in C$ в счетчике (5). При достижении микрокоманды $Y(b_k) \subseteq Y$ такой, что $\langle b_k, b_E \rangle \in E$, формируется сигнал $y_E = 1$ и функционирование КМУУ U_1 прекращается.

Предложенный метод позволяет за счет уменьшения числа входов комбинационной схемы СС уменьшить количество требуемых LUT-элементов по сравнению с реализацией УУ в виде микропрограммного автомата [3]. В настоящей работе предлагается метод уменьшения числа входов схемы СС, что приводит к дальнейшему уменьшению числа LUT-элементов в схеме УУ.

2. Основная идея метода

Пусть алгоритм управления цифровой системы задан ГСА Γ_1 (рис. 2), которая содержит $M=12$ операторных вершин. Согласно (6) для адресации микрокоманд потребуется $R=4$ разряда. Количество слов управляющей памяти составит $2^R=16$.

Используя результаты работ [4,7], построим для ГСА Γ_1 множество $C = \{\alpha_1, \alpha_2, \dots, \alpha_8\}$, где $\alpha_1 = \langle b_1 \rangle$, $I_1^1 = b_1$, $O_1 = b_1$; $\alpha_2 = \langle b_2, b_3 \rangle$, $I_2^1 = b_2$, $I_2^2 = b_3$, $O_2 = b_3$; $\alpha_3 = \langle b_4 \rangle$, $I_3^1 = b_4$, $O_3 = b_4$; $\alpha_4 = \langle b_5, b_6, b_7 \rangle$, $I_4^1 = b_5$, $I_4^2 = b_7$, $O_4 = b_7$; $\alpha_5 = \langle b_8, b_9 \rangle$, $I_5^1 = b_8$, $I_5^2 = b_9$, $O_5 = b_9$; $\alpha_6 = \langle b_{10} \rangle$, $I_6^1 = b_{10}$, $O_6 = b_{10}$; $\alpha_7 = \langle b_{11} \rangle$, $I_7^1 = b_{11}$, $O_7 = b_{11}$; $\alpha_8 = \langle b_{12} \rangle$, $I_8^1 = b_{12}$, $O_8 = b_{12}$; где I_g^j означает j-й вход ОЛЦ $\alpha_g \in C$ ($j = 1, \dots, F_g$), O_g – выход ОЛЦ $\alpha_g \in C$. Исключив из дальнейшего рассмотрения ОЛЦ $\alpha_7, \alpha_8 \in C$, из которых выполняется переход в вершину b_E , перейдем к множеству $C' = \{\alpha_1, \alpha_2, \dots, \alpha_6\}$. Выполнив разбиение множества ОЛЦ C' на классы псевдоэквивалентных ОЛЦ $\Pi_{C'}$, в нашем случае получим $\Pi_{C'} = \{B_1, \dots, B_6\}$, где $B_1 = \{\alpha_1\}$, $B_2 = \{\alpha_2\}$, $B_3 = \{\alpha_3\}$, $B_4 = \{\alpha_4\}$, $B_5 = \{\alpha_5\}$, $B_6 = \{\alpha_6\}$, $I=6, R_1=3$.

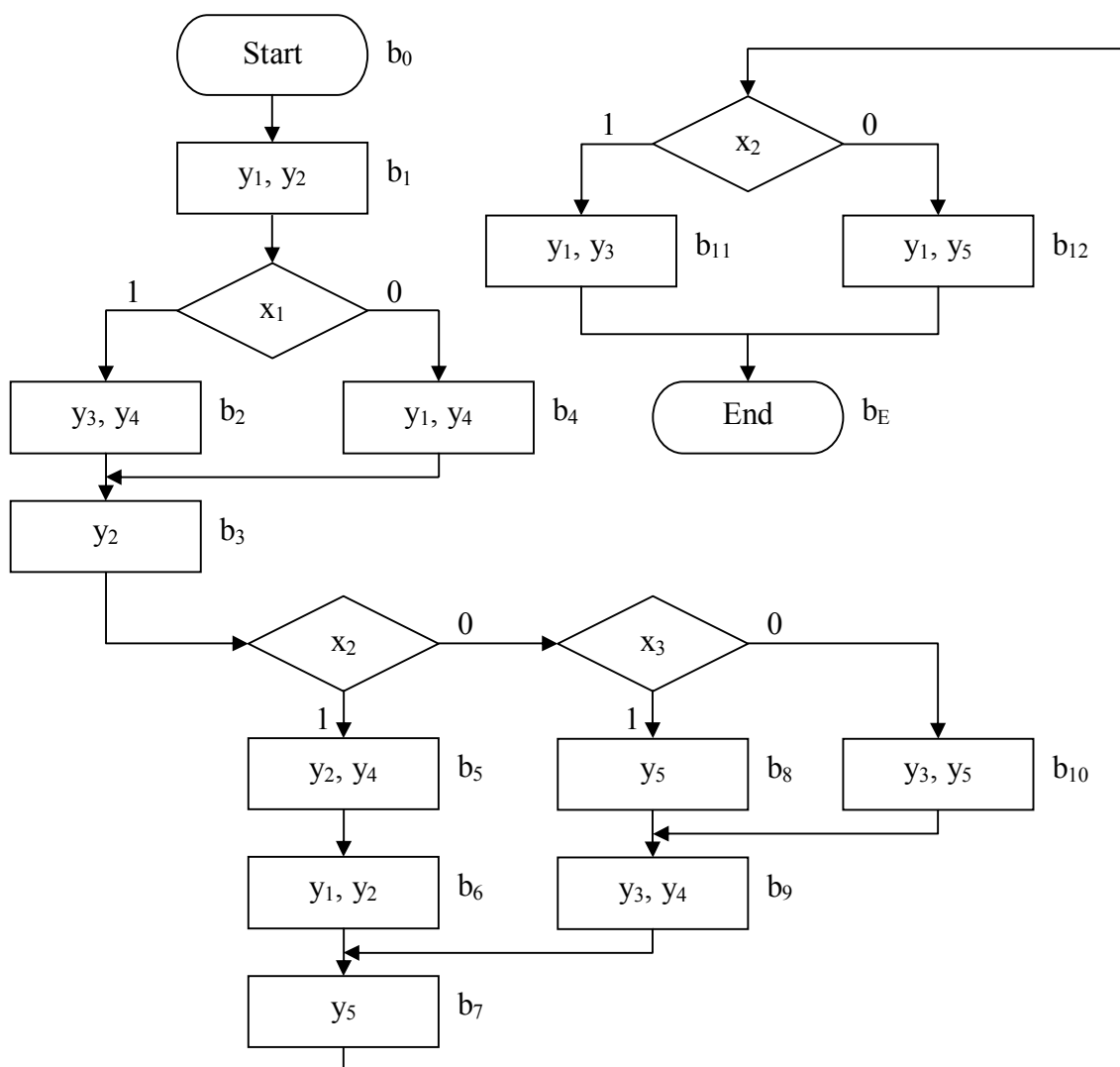


Рисунок 2 – Исходная граф-схема алгоритма Γ_1

Обозначим через $M(\Gamma)$ – множество главных входов ОЛЦ ГСА Γ_1 ; $I(\Gamma)$ – множество всех входов ОЛЦ ГСА Γ_1 , $O(\Gamma)$ – множество выходов ОЛЦ ГСА Γ_1 .

Из анализа ГСА Γ_1 следует, что переходы из ОЛЦ $\alpha_3 \in B_3$, $\alpha_5 \in B_5$ и $\alpha_6 \in$

V_6 не выполняются в главные входы ОЛЦ $\alpha_2 \in V_2$, $\alpha_4 \in V_4$ и $\alpha_5 \in V_5$, соответственно. Исключение из ГСА Γ_1 таких переходов при разбиении множества ОЛЦ на классы псевдоэквивалентных ОЛЦ может привести, в общем случае, к уменьшению количества элементов множества Π_C на величину

$$P = |I(\Gamma)| - |MI(\Gamma)|. \quad (7)$$

Что в свою очередь, при выполнении условия

$$P \geq I - 2^{R_1 - 1}, \quad (8)$$

приводит к уменьшению количества используемых для кодирования классов $V_i \in \Pi_C$ переменных $\tau_r \in \tau$.

Назовем процесс исключения из ОЛЦ $\alpha_q \in C$ входов $I_q^j \notin MI(\Gamma)$ – расщеплением ОЛЦ. Процесс расщепления ОЛЦ $\alpha_q \in C$ можно выполнить за счет добавления в ОЛЦ $\alpha_g \in C$, из которой имеется переход на I_q^j , микрокоманд $Y(b_k)$ кортежа α_q от I_q^j ($j > 1$) до Q_q . Однако, выполнение этого процесса возможно только при наличии свободного места в управляющей памяти.

Для расщепления (минимизации числа входов) ОЛЦ предлагается следующий алгоритм, использующий резерв управляющей памяти:

1. Если $R_{CM} = 0$, где $R_{CM} = 2^R - M$ – резерв управляющей памяти СМ, то перейти к п. 7.

2. Если $MI(\Gamma) = I(\Gamma)$, то перейти к п. 7.

3. Среди ОЛЦ с несколькими входами найти такую, у которой $D = \min$, где D – количество микрокоманд $Y(b_k)$ кортежа $\alpha_g \in C$ от I_g^j ($j > 1$) до Q_g .

4. Если $D > R_{CM}$, то исключить $\alpha_g \in C$ из дальнейшего рассмотрения и перейти к п. 3.

5. В ОЛЦ $\alpha_q \in C$, выход O_q которой связан с j -м входом I_g^j ($j > 1$) ОЛЦ α_g , добавить D микрокоманд $Y(b_k^*)$, дублирующих микрокоманды $Y(b_k)$ кортежа $\alpha_g \in C$ от I_g^j ($j > 1$) до Q_g .

6. Исключить из множества $I(\Gamma)$ вход I_g^j . $R_{CM} = R_{CM} - D$, перейти к п. 1.

7. Формирование множества расщепленных ОЛЦ завершено.

Полученное множество расщепленных ОЛЦ, разбивается на классы псевдоэквивалентных ОЛЦ $\Pi'_C = \{V_1, \dots, V_{I_1}\}$, где $I_1 = |\Pi'_C|$. Для кодирования элементов множества Π'_C необходимо использовать

$$R_2 = \lceil \log_2 I_1 \rceil \quad (9)$$

переменных τ .

Использование предложенного алгоритма порождает КМУУ U_2 , структура и принцип функционирования которого совпадают с КМУУ U_1 . Отличие заключается в том, что преобразователь адреса СА формирует переменные $\tau_r \in \tau$, где $|\tau| = R_2$.

Таким образом, предлагаемый алгоритм позволяет оптимизировать схему СА и уменьшить число входов схемы СС при выполнении условия (8). В настоящей работе предлагается метод синтеза КМУУ U_2 .

4. Метод синтеза композиционного микропрограммного устройства управления U_2

Предлагаемый в работе метод синтеза КМУУ $U_2(\Gamma_1)$ ($U_2(\Gamma_1)$ означает, что КМУУ U_2 используется для интерпретации ГСА Γ_1) включает следующие этапы:

1. Формирование множества ОЛЦ С. Этот этап выполняется по известной методике [1], для ГСА Γ_1 вся необходимая информация уже имеется, так как множество С для КМУУ $U_1(\Gamma_1)$ и $U_2(\Gamma_1)$ совпадают.

2. Применение алгоритма расщепления ОЛЦ. Для ГСА Γ_1 резерв управляющей памяти составляет $RSM = 4$. ОЛЦ α_2, α_4 и α_5 содержат входы I_g^j ($j > 1$). В результате применения алгоритма (рис. 3) в ОЛЦ α_3 будет добавлена микрокоманда $Y(b_3^*)$, в ОЛЦ α_5 – микрокоманда $Y(b_7^*)$, в ОЛЦ α_6 – микрокоманды $Y(b_9^*)$ и $Y(b_7^*)$.

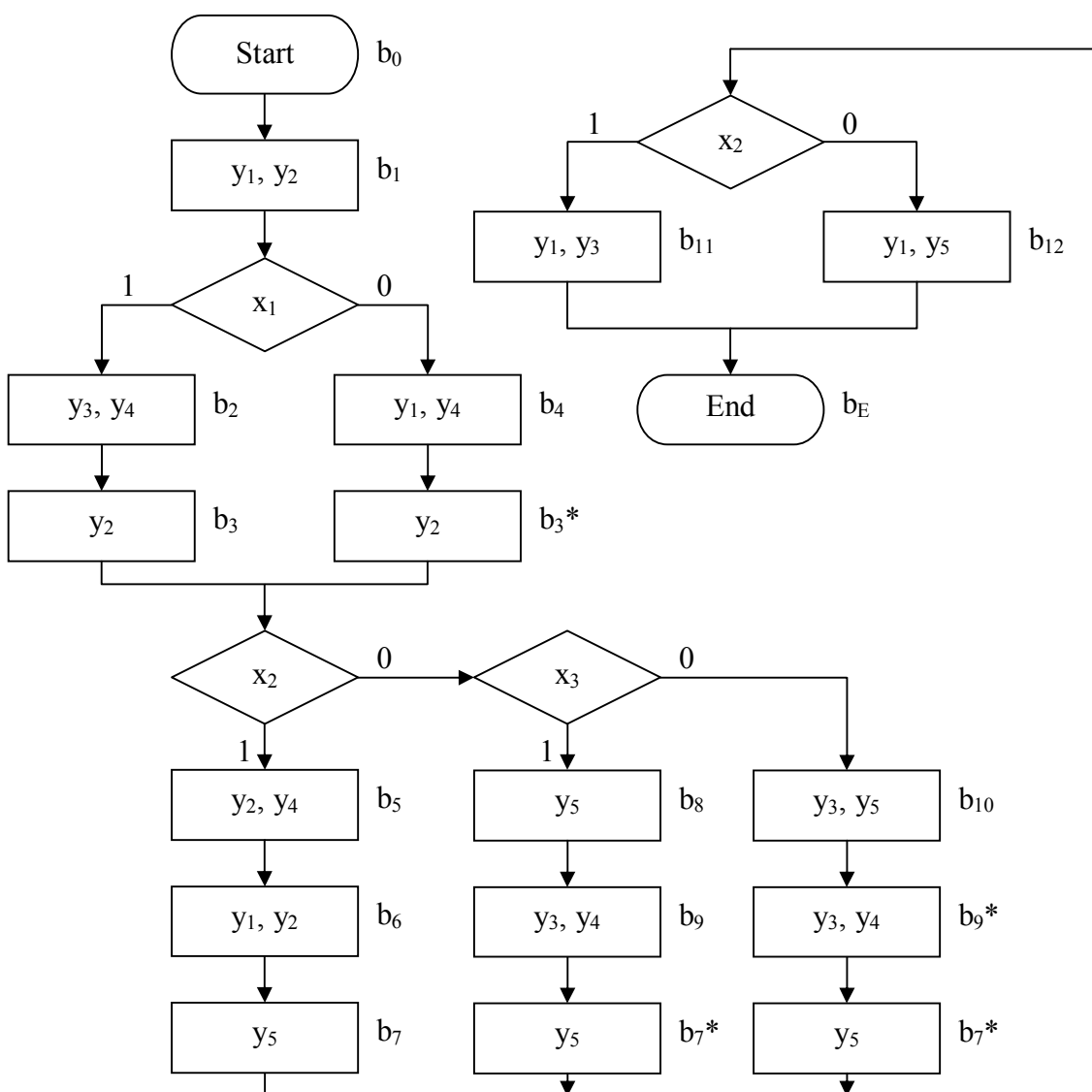


Рисунок 3 – Преобразованная граф-схема алгоритма Γ_1

3. Адресация микрокоманд и формирование содержимого управляющей памяти. Выполним адресацию микрокоманд (2) и построим таблицу содержимого

управляющей памяти (табл. 1) КМУУ $U_2(\Gamma_1)$.

Таблица 1. Содержимое управляющей памяти КМУУ $U_2(\Gamma_1)$

A(b _k)	Y(b _k)	b _k	A(b _k)	Y(b _k)	b _k	A(b _k)	Y(b _k)	b _k	A(b _k)	Y(b _k)	b _k
0000	y ₁ y ₂	b ₁	0100	y ₂	b ₃ *	1000	y ₀ y ₅	b ₈	1100	y ₀ y ₃ y ₄	b ₉ *
0001	y ₀ y ₃ y ₄	b ₂	0101	y ₀ y ₂ y ₄	b ₅	1001	y ₀ y ₃ y ₄	b ₉	1101	y ₅	b ₇ *
0010	y ₂	b ₃	0110	y ₀ y ₁ y ₂	b ₆	1010	y ₅	b ₇ *	1110	y ₁ y ₃ y _Е	b ₁₁
0011	y ₀ y ₁ y ₄	b ₄	0111	y ₅	b ₇	1011	y ₀ y ₃ y ₅	b ₁₀	1111	y ₁ y ₅ y _Е	b ₁₂

4. Формирование разбиения множества ОЛЦ на классы псевдоэквивалентных ОЛЦ Π'_C . Для ГСА Γ_1 имеем $\Pi'_C = \{B_1, B_2, B_3, B_4\}$, где $B_1 = \{\alpha_1\}$, $B_2 = \{\alpha_2, \alpha_3\}$, $B_3 = \{\alpha_4, \alpha_5, \alpha_6\}$ и $B_4 = \{\alpha_7, \alpha_8\}$.

5. Кодирование классов псевдоэквивалентных ОЛЦ. Этот этап необходим для формирования системы (3). При этом, кодированию подлежат классы $B_i \in \Pi'_C$, где $\Pi'_C \subseteq \Pi'_C$ – множество классов $B_i \in \Pi'_C$ таких, что выходы ОЛЦ $\alpha_g \in B_i$ не включают сигнал y_E .

Для КМУУ U_2 $\Pi'_C = \{B_1, B_2, B_3\}$, $I_1 = 3$, $R_2 = 2$, $\tau = \{\tau_1, \tau_2\}$. Пусть $K(B_1) = 00$, $K(B_2) = 01$, $K(B_3) = 10$.

6. Формирование таблицы переходов КМУУ. Эта таблица является основой для формирования системы функций (5) и последующего синтеза схемы СС. Таблица переходов КМУУ U_2 содержит следующие столбцы: B_i , $K(B_i)$, I_q^j , $A(I_q^j)$, X_h , Φ_h , h , где $B_i \in \Pi'_C$; I_q^j – вход ОЛЦ $\alpha_q \in C'$, в который имеется переход из выхода ОЛЦ $\alpha_g \in B_i$ под действием сигнала X_h ; $\Phi_h \subseteq \Phi$ – множество функций возбуждения счетчика СТ, принимающих единичное значение для записи в СТ адреса $A(I_q^j)$ входа I_q^j ; $h = \overline{1, N}$ – номер перехода (номер строки таблицы переходов).

Для КМУУ U_2 (Γ_1) таблица переходов содержит $N = 7$ строк, адреса входов берутся из табл.1.

Таблица 2. Таблица переходов КМУУ U_2 (Γ_1)

B_i	$K(B_i)$	I_q^j	$A(I_q^j)$	X_h	Φ_h	h
B_1	00	I_2^1	0001	x_1	D_4	1
		I_3^1	0011	$\overline{x_1}$	D_3D_4	2
B_2	01	I_4^1	0101	x_2	D_2D_4	3
		I_5^1	1000	$\overline{x_2x_3}$	D_1	4
		I_6^1	1011	$\overline{x_2x_3}$	$D_1D_3D_4$	5
B_3	10	I_7^1	1110	x_2	$D_1D_2D_3$	6
		I_8^1	1111	$\overline{x_2}$	$D_1D_2D_3D_4$	7

Следует отметить, что таблица переходов КМУУ U_1 (Γ_1) содержала бы $N=10$ строк.

7. Формирование таблицы преобразователя адреса. Эта таблица является основной для формирования системы (3) и включает столбцы O_g , $A(O_g)$, B_i , $K(B_i)$, τ_g , g . Здесь $A(O_g)$ – адрес выхода ОЛЦ $\alpha_g \in B_i$, $\tau_g \subseteq \tau$ – переменные, принимающие единичное значение в коде $K(B_i)$, g – номер строки ($g \leq G$). Для КМУУ U_2 (Γ_1) эта таблица имеет 6 строк (табл. 3). Адреса выходов ОЛЦ $\alpha_g \in C'$ берутся из

табл. 1.

Таблица 3. Таблица преобразователя адреса КМУУ U_2 (Γ_1)

O_g	$A(O_g)$	B_i	$K(B_i)$	τ_g	g
O_1	0000	B_1	00	–	1
O_2	0010	B_2	01	τ_2	2
O_3	0100	B_2	01	τ_2	3
O_4	0111	B_3	10	τ_1	4
O_5	1010	B_3	10	τ_1	5
O_6	1101	B_3	10	τ_1	6

8. Формирование систем функций τ и Φ . Система функций (3) формируется по таблице преобразователя адреса в виде

$$\tau_r = \bigvee_{g=1}^G C_{rg} A_g \quad (r = \overline{1, R_2}), \quad (10)$$

где C_{rg} – булева переменная, равная единице, если и только если в g -й строке таблицы записана переменная $\tau_r = 1$; g – номер строки ($g = 1, \dots, G$), A_g – конъюнкция переменных $T_r \in T$, соответствующая адресу $A(O_g)$.

Система функций (5) формируется по таблице переходов КМУУ U_2 в виде

$$\varphi_r = \bigvee_{h=1}^H C_{rh} E_i^h X_h \quad (r = \overline{1, R}), \quad (11)$$

где C_{rh} – булева переменная, равная единице, если и только если в h -й строке таблицы записана переменная $\varphi_r = 1$; E_i^h – конъюнкция переменных $\tau_r \in \tau$, соответствующая коду $K(B_i)$ класса $B_i \in P'_C$ из h -й строки таблицы переходов ($h = 1, \dots, H$).

Для КМУУ U_2 (Γ_1) имеем, например $\tau_2 = \overline{T_1} \overline{T_2} T_3 \overline{T_4} \vee \overline{T_1} T_2 \overline{T_3} \overline{T_4}$, $D_2 = \overline{\tau_1} \tau_2 x_2 \vee \tau_1 \overline{\tau_2}$ (с учетом минимизации).

9. Синтез логической схемы КМУУ U_2 . Синтез сводится к реализации систем φ и τ на FPGA и реализации управляющей памяти на DMB. Первая из этих задач достаточно рассмотрена в литературе [5] и выходит за рамки данной работы. Вторая задача решается тривиальным образом.

Заключение

Предлагаемый в работе алгоритм расщепления ОЛЦ позволяет при наличии резерва управляющей памяти оптимизировать логическую схему КМУУ с преобразователем адреса микрокоманд. Это приводит, в случае выполнения условия (8), к сокращению числа переменных обратной связи, поступающих в схему формирования функций возбуждения памяти, от R_1 до R_2 . Дальнейшая оптимизация схемы возможна при условии, что число переменных для кодирования ОЛЦ меньше разрядности адреса микрокоманды. Учет этого факта позволяет сократить число LUT-элементов в схеме преобразователя адреса. Исследования авторов показали, что предлагаемый метод всегда приводит к схеме с меньшим числом эле-

ментов, чем в комбинационной схеме КМУУ U_1 . Выигрыш возрастает по мере снижения отношения числа классов псевдоэквивалентных ОЛЦ после применения алгоритма расщепления к исходному числу классов и может достигать 35%.

Литература

1. Баркалов А. А. Синтез устройств управления на программируемых логических устройствах – Донецк: ДонНТУ, 2002. – 262 с.
2. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики.– Петербург: БХВ– 2002. – 636 с.
3. Brown S., Vernesic Z. Fundamentals of Digital Logic with VHDL Design. – McGraw Hill, 2000. – 218 pp.
4. Salcic Z. VHDL and FPGAs in digital systems design, prototyping and customization. –Kluwer Academic Publishers, 1998. – 312 pp.
5. Synteza układów cyfrowych/ Praca zbiorowa pod redakcją prof. Tadeusza Łuby – Warszawa: WKŁ, 2003. – 228 pp.
6. Jenkins J. Design with FPGAs and CPLDs. – Prentice – Hale, 1995 – 273 pp.
7. Баркалов А.А., Вишневский Р, Ефименко К.Н.. Реализация композиционного микропрограммного устройства управления на FPGA// „Радиоелектроніка. Інформатика. Управління.»- 2005, №2.- с. 127-131.

О.О. Баркалов, К.М. Єфіменко

Застосування методу розщеплення операторних лінійних ланцюгів для оптимізації схеми пристрою керування.

Запропоновано алгоритм, що дозволяє зменшити число входів схеми адресації композиційного мікропрограмного пристрою керування (КМПК). Розщеплення засновано на перетворенні графі-схеми алгоритму (ГСА), що виключає переходи не на головні входи ОЛЦ. Застосування даного алгоритму забезпечує зменшення числа LUT-елементів у схемі адресації КМПК.

A. A. Barkalov, K. N. Efimenko

Application of splitting operational linear chains method for optimization of control unit circuit.

An algorithm is proposed permitting decrease of the input amount in addressing circuit of compositional microprogram control unit (CMCU). It is achieved due to transformation of initial graph-scheme of algorithm in such a way when some operational vertices belong to more than one operational linear chain. Application of proposed method decreases the number of LUT-elements in addressing circuit of CMCU.